

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-274459

(43)Date of publication of application : 30.09.1994

(51)Int.Cl. G06F 15/16
 G06F 11/20
 G06F 13/36
 G06F 13/36
 G06F 13/38
 G11C 16/06
 G11C 29/00
 H01L 21/82
 H01L 27/04
 // G06F 9/44

(21)Application number : 05-082739

(71)Applicant : HITACHI LTD

(22)Date of filing : 17.03.1993

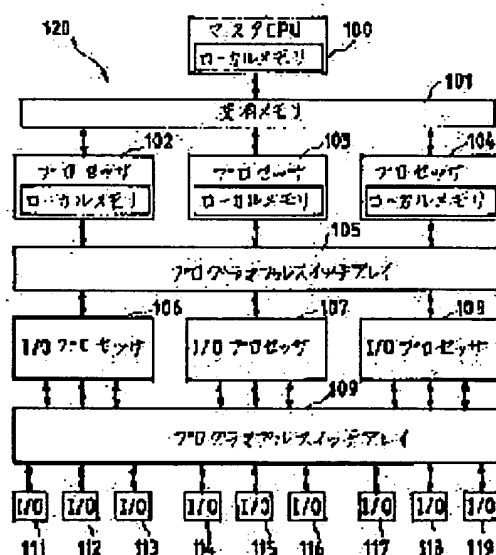
(72)Inventor : MATSUBARA KIYOSHI
 SHIBATA KATSUNARI
 YAMAOKA HIROMASA
 WATABE MITSURU
 KASAHARA TAKAYASU
 MOROOKA YASUO
 FUNABASHI SEIJU

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To improve the versatility of a semiconductor integrated circuit device for realizing the combination of the plural kinds of processing.

CONSTITUTION: This device is equipped with a non-volatile memory in which the rewriting of information can be electrically attained as a microprogram memory, and the change of the storage content of the microprogram memory can be attained after the completion of LSI. Moreover, the device is equipped with a programmable switch array 105 for mutually connecting plural processors so as to be programmable, and the change of the connection relation among the plural processors can be attained after the completion of LSI. Thus, the versatility of LSI can be improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

特開平6-274459

(43)公開日 平成 6 年(1994) 9 月30日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 15/16	S	7429-5L		
11/20	3 1 0 D	7313-5B		
13/36	5 2 0 C	9072-5B		
		6866-5L	G 1 1 C 17/ 00	3 0 9 G
		9169-4M	H 0 1 L 21/ 82	S
審査請求 未請求 請求項の数10 F D (全 13 頁) 最終頁に続く				

(21)出願番号 特願平5-82739

(22)出願日 平成 5 年(1993) 3 月17日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(72)発明者 松原 清

東京都小平市上水本町 5 丁目20番 1 号 株式会社日立製作所半導体事業部内

(72)発明者 柴田 克成

東京都国分寺市東恋ヶ窪一丁目480番地
株式会社日立製作所中央研究所内

(72)発明者 山岡 弘昌

茨城県日立市大みか町 5 丁目 2 番 1 号 株式会社日立製作所大みか工場内

(74)代理人 弁理士 玉村 静世

最終頁に続く

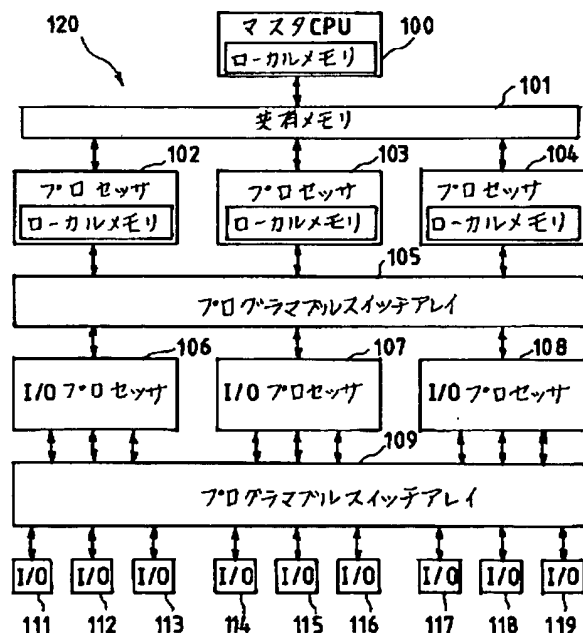
(54)【発明の名称】 半導体集積回路装置

(57)【要約】

【目的】 本発明の目的は、複数種類の処理の複合化を実現するための半導体集積回路装置の汎用化を図ることにある。

【構成】 電氣的に情報の書換え可能な不揮発性メモリをマイクロプログラムメモリ 201 として備え、LSI 完成後に当該マイクロプログラムメモリ 201 の記憶内容の変更を可能とし、さらに、複数のプロセッサ同士をプログラマブルに相互接続するためのプログラマブルスイッチアレイ 105 を設け、LSI 完成後に複数のプロセッサ同士の結合関係の変更を可能とすることにより、LSI の汎用性の向上を達成する。

【図 1】



【特許請求の範囲】

【請求項1】 不揮発性メモリ素子を内蔵し、該メモリ素子を書換えることにより機能変更が可能な複数のプロセッサと、この複数のプロセッサ同士をプログラマブルに相互接続するための手段とが、一つの半導体基板に形成された半導体集積回路装置。

【請求項2】 上記複数のプロセッサ同士をプログラマブルに相互接続するための手段は、信号伝達路切換えのためのマトリクス状に配列された複数のスイッチと、このスイッチに対応して配置され、当該スイッチをオン／オフ制御するための情報を保持する不揮発性メモリとを含んで成る請求項1記載の半導体集積回路装置。

【請求項3】 全体の制御を司るマスタプロセッサを含み、このマスタプロセッサによって管理されるアドレス空間に上記不揮発性メモリが配置された請求項1又は2記載の半導体集積回路装置。

【請求項4】 プロセッサ故障の場合の代替のための予備プロセッサを含む請求項1乃至3のいずれか1項に記載の半導体集積回路装置。

【請求項5】 上記マスタプロセッサは、上記プロセッサの故障発生を検出する手段と、この故障検出結果に基づいて上記不揮発性メモリの記憶情報を書換えることにより、故障に係るプロセッサの機能を予備プロセッサに代行させるための手段とを含む請求項4記載の半導体集積回路装置。

【請求項6】 上記複数のプロセッサ同士をプログラマブルに相互接続するための手段は、上記スイッチ又は不揮発性メモリの故障の場合の代替のための予備素子を含む請求項1乃至5のいずれか1項に記載の半導体集積回路装置。

【請求項7】 上記マスタプロセッサは、上記スイッチ又は不揮発性メモリの故障発生を検出する手段と、この故障検出結果に基づいて上記不揮発性メモリの記憶情報を書換えることにより、故障に係るスイッチ及び不揮発性メモリの機能を予備素子に代行させるための手段とを含む請求項6記載の半導体集積回路装置。

【請求項8】 ファジィ機能を実現するためのプロセッサを含む請求項1乃至7のいずれか1項に記載の半導体集積回路装置。

【請求項9】 ニューラルネットワーク機能を実現するためのプロセッサを含む請求項1乃至8のいずれか1項に記載の半導体集積回路装置。

【請求項10】 通信制御機能を実現するためのプロセッサを含む請求項1乃至9のいずれか1項に記載の半導体集積回路装置。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明は、半導体集積回路装置、さらにはプログラマブルな制御機能を有する半導体集積回路装置に関し、例えばマイクロコントローラに適用し

て有効な技術に関する。

【0002】

【従来の技術】 例えば、形状制御のような曖昧でモデル化が困難な分野では、モデルに基づく制御に代えて、ファジィ制御適用することで、顕著な効果を上げているが、ファジィ制御だけの単純な方法では、全体パターンを認識することが困難であるため、パターン認識、分類、内挿、類推等の能力のある階層型ニューロコンピュータを組合せることによってファジィ制御の欠点を補う等の技術が知られている。ニューロコンピュータとファジィ制御とを融合する方法としては、ファジィ制御のメンバーシップ関数を決定するのに利用する方法や、ファジィ制御の前件部と後件部にそれぞれニューラルネットを利用する方法、さらには、ニューラルコンピュータでパターンを認識し、ファジィ制御で、パターンに対応した制御を行う方法、等が挙げられる。

【0003】 尚、ファジィ制御やニューラルネットについて記載された文献の例としては、「ニューロ／ファジィ応用圧延機制御システムの基本技術開発（電気学会産業計測制御、産業システム情報化合同研究会資料、IIC-90-12, IIS-90-1, 1990-7-10）」がある。

【0004】

【発明が解決しようとする課題】 制御技術の進歩により、一つの制御装置において、知識制御、ファジィ制御、ニューロコンピューティング等、各種の制御が複合して用いられるようになってきた。そのような複数種類の制御処理の複合化を実現するために、異なるプログラムによってそれぞれ異なる機能を実現する複数のマイクロプロセッサが必要とされる。そのような複数のプロセッサを一つの半導体基板に形成することが考えられるが、そうすると、制御処理の複合化において、組合される機能が異なる毎に、専用のLSIを形成しなければならないから、非常に高価なLSIになってしまう。換言すれば、LSI化の利点の一つは、大量生産による低価格化にあるが、上記のように、組合される機能が異なる毎に専用LSIを開発しなければならないため、そのような利点を享受することができない。

【0005】 本発明の目的は、複数種類の処理の複合化を実現するための半導体集積回路装置の汎用化を図ることにある。

【0006】 本発明の別の目的は、LSI完成後に、目的に応じた機能のプログラミングが可能な半導体集積回路装置を提供することにある。

【0007】 本発明のさらに別の目的は、部分故障に対して自己修復可能な半導体集積回路装置を提供することにある。

【0008】 本発明の上記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0009】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0010】すなわち、電氣的に情報の書換え可能な不揮発性メモリをマイクロプログラムメモリとしてそれぞれ備えた複数のプロセッサを一つの半導体基板に形成するとともに、上記複数のプロセッサ同士をプログラマブルに相互接続するための手段を設ける。このとき、上記複数のプロセッサ同士をプログラマブルに相互接続するための手段としては、マトリクス状に配列された複数のスイッチと、このスイッチのオン／オフ制御情報を電氣的に書換え可能な不揮発性メモリとを含んで構成することができる。また、マスタプロセッサによって管理されるアドレス空間に上記不揮発性メモリを配置し、このマスタプロセッサによって、複数のプロセッサの全体的な動作制御を行うように構成することができる。プロセッサ故障や不揮発性メモリ故障を考慮し、予備プロセッサや、予備素子を予め設けるようにすると良い。上記複数のプロセッサによって、ファジィ機能や、ニューラルネットワーク機能、さらには、通信制御機能を実現することができる。

【0011】

【作用】上記した手段によれば、書換え可能な不揮発性メモリを備えることは、LSI完成後において、その不揮発性メモリに格納されるマイクロプログラムなどの変更により、当該プロセッサによって実現される処理機能の変更を可能とし、そして、上記複数のプロセッサ同士をプログラマブルに相互接続するための手段は、LSI完成後に複数のプロセッサ同士の結合関係の変更により処理手順や処理結果のやり取りの経路変更を可能とする。このことが、LSIの汎用性の向上を達成する。また、予備プロセッサや、予備素子が設けられている場合において、マスタプロセッサは、故障検出結果に基づいて不揮発性メモリの記憶情報を書換えることによって、予備プロセッサや、予備素子に切換える。このことが、部分故障に対する自己修復を可能とする。

【0012】

【実施例】図1には本発明の一実施例であるマイクロコントローラが示される。

【0013】図1に示されるマイクロコントローラ120は、特に制限されないが、公知の半導体集積回路製造技術により、単結晶シリコン基板などの一つの半導体基板に形成される。

【0014】図1に示されるマイクロコントローラ120は、マスタプロセッサとしてのマスタCPU（中央処理装置）100、データ処理用の3個のプロセッサ102乃至104、及び入出力用の3個のI/O（インプット／アウトプット）プロセッサ106乃至108を含む。マスタCPU100は本実施例LSIの全体的な動作制御を司る。このマスタCPU100とプロセッサ1

02乃至104とは、演算処理結果やその他のデータを格納するための専用のローカルメモリをそれぞれ備え、且つ、少なくとも2入出力ポートを有する共有メモリ101に結合されることによって、相互にデータのやり取りが可能とされる。共有メモリ101は特に制限されないが、ダイナミックRAM又はスタティックRAMとされる。また、プロセッサ102乃至104とI/Oプロセッサ106乃至108とはプログラマブルスイッチアレイ105によって結合されており、このプログラマブルスイッチアレイ105の記憶情報を書換えることによって、プロセッサ間の相互接続の変更設定が可能とされる。同様にI/Oプロセッサ106乃至108と入出力回路（I/O）111乃至119とがプログラマブルスイッチアレイ109によって結合され、I/Oプロセッサ106乃至108と入出力回路（I/O）111乃至119との間の接続関係の変更設定が可能とされる。入出力回路は、図示されない外部端子に結合されており、この入出力回路を介して処理対象データの取込みや、処理結果の外部出力が可能とされる。

【0015】図2には上記プロセッサ102の構成例が代表的に示される。

【0016】図2に示されるように、データ処理用のプロセッサ102は、マイクロ命令が格納されたマイクロプログラムメモリ201と、このマイクロプログラムメモリ201から読出されたマイクロ命令を制御信号に基づいてデコードすることによって各部の制御信号を生成するデコーダ210と、このデコーダ210によって生成された制御信号によって動作制御される各種レジスタ及び演算ユニット211と、このレジスタ及び演算ユニット211での演算処理結果などを格納するためのローカルメモリ212と、レジスタ及び演算ユニット211に含まれるプログラムカウンタの出力を保持するための命令レジスタ213とを含む。上記マイクロプログラムメモリ201は、特に制限されないが、電氣的に消去・書込み可能な不揮発性メモリとされ、特に制限されないが、以下のように構成される。

【0017】複数のメモリセルがマトリクス状に配列されて成るメモリマット204は、特に制限されないが、システムに組込んだ状態でプログラムを電氣的に消去・書込み可能なフラッシュメモリとされる。マルチプレクサ207は、マイクロ命令レジスタ209から出力された命令の一部、及び命令レジスタ213の保持内容を択一的に選択して、それを後段のマルチプレクサ206に伝達する。このマルチプレクサ206は、前段のマルチプレクサ207の選択出力と、書換え用アドレスバスを介して転送されたアドレスとを択一的に選択して、それを後段のアドレスデコーダ205へ伝達する。このアドレスデコーダ205は、入力されたアドレスをデコードする機能を有し、このデコード出力に基づいて、メモリマット204のワード線駆動、及びビット線選択が

行われるようになっている。メモリマツト204の記憶内容は、カラム選択スイッチ等を含む読出し回路208を介して行われる。この読出し回路208の後段にはマイクロ命令レジスタ209が配置され、当該読出し回路208を介して読出されたマイクロ命令が、このマイクロ命令レジスタ209を介して上記デコーダ210に伝達され、また、その一部が、メモリマツト204から次に読出されるマクロ命令のアドレス情報として上記マルチプレクサ207へ伝達されるようになっている。さらにこのマイクロプログラムメモリ201は、メモリマツト204の記憶内容書換えのための専用の書換え回路を内蔵している。すなわち、上記メモリマツト204のビット線に結合された書き込み回路及びベリファイのための読出し回路202を有し、書換えモード信号がアサートされた場合に、書換え用データベースを介して転送されたデータをメモリマツト204に転送することによって、メモリマツト204の記憶内容の書換えが可能とされる。メモリマツト204への書き込みの際には、読出し時よりも高めの電圧が使用され、そのような書き込み用高電圧は、書き込み用高電圧回路203によって生成されるようになっている。

【0018】ここで、上記メモリマツト204に適用されるフラッシュメモリについて説明する。

【0019】図11にはフラッシュメモリの原理が示される。同図(A)に例示的に示されたメモリセルは、2層ゲート構造の絶縁ゲート型電界効果トランジスタにより構成されている。同図において、1はP型シリコン基板、2は上記シリコン基板1に形成されたP型拡散層、4はN型拡散層である。5は薄い酸化膜6(例えば厚さ10nm)を介して上記P型シリコン基板1上に形成されたフローティングゲート、7は酸化膜8を介して上記フローティングゲート5上に形成されたコントロールゲート、9はソース、10はドレインである。このメモリセルに記憶される情報は、実質的にしきい値電圧の変化としてトランジスタに保持される。以下、特に述べないかぎり、メモリセルにおいて、情報を記憶するトランジスタ(以下、記憶トランジスタと称する)がNチャンネル型の場合について述べる。

【0020】メモリセルへの情報の書き込み動作は、例えばコントロールゲート7及びドレイン10に高圧を印加して、アバランシェ注入によりドレイン10側からフローティングゲート5に電子を注入することで実現される。この書き込み動作により記憶トランジスタは、図11の(B)に示されるように、そのコントロールゲート7からみたしきい値電圧が、書き込み動作を行わなかった消去状態の記憶トランジスタに比べて高くなる。

【0021】一方、消去動作は、例えばソースに高圧を印加して、トンネル現象によりフローティングゲート7からソース9側に電子を引き抜くことによって実現される。図11の(B)に示されるように、消去動作により

記憶トランジスタはそのコントロールゲート7からみたしきい値電圧が低くされる。図11の(B)では、書き込み並びに消去状態の何れにおいても記憶トランジスタのしきい値は正の電圧レベルにされる。すなわちワード線からコントロールゲートに与えられるワード線選択レベルに対して、書き込み状態のしきい値電圧は高くされ、消去状態のしきい値電圧は低くされる。双方のしきい値電圧とワード線選択レベルとがそのような関係を持つことによって、選択トランジスタを採用することなく10 1個のトランジスタでメモリセルを構成することができる。記憶情報を電気的に消去する場合においては、フローティングゲートに蓄積された電子をソース電極に引く抜くことにより、記憶情報の消去が行われるため、比較的長い時間、消去動作を続けると、書き込み動作の際にフローティングゲートに注入した電子の量よりも多くの電子が引く抜かれることになる。そのため、電気的消去を比較的長い時間続けるような過消去を行うと、記憶トランジスタのしきい値電圧は例えば負のレベルになって、ワード線の非選択レベルにおいても選択されるような不都合を生ずる。尚、書き込みも消去と同様にトンネル電流を利用して行うこともできる。

【0022】読み出し動作においては、上記メモリセルに対して弱い書き込み、すなわち、フローティングゲート5に対して不所望なキャリアの注入が行われないように、ドレイン10及びコントロールゲート7に印加される電圧が比較的低い値に制限される。例えば、1V程度の低電圧がドレイン10に印加されるとともに、コントロールゲート7に5V程度の低電圧が印加される。これらの印加電圧によって記憶トランジスタを流れるチャネル電流の大小を検出することにより、メモリセルに記憶されている情報の“0”、“1”を判定することができる。

【0023】図12は上記記憶トランジスタを用いたメモリセルアレイ(メモリマツト)の構成原理を示す。同図には代表的に4個の記憶トランジスタ(メモリセル)Q1乃至Q4が示される。X、Y方向にマトリクス配置されたメモリセルにおいて、同じ行に配置された記憶トランジスタQ1、Q2(Q3、Q4)のコントロールゲート(メモリセルの選択ゲート)は、それぞれ対応するワード線WL1(WL2)に接続され、同じ列に配置された記憶トランジスタQ1、Q3(Q2、Q4)のドレイン領域(メモリセルの入出力ノード)は、それぞれ対応するデータ線DL1、DL2に接続されている。上記記憶トランジスタQ1、Q3(Q2、Q4)のソース領域は、ソース線SL1(SL2)に結合される。

【0024】図13にはメモリセルに対する消去動作並びに書き込み動作のための電圧条件の一例が示される。同図においてメモリ素子はメモリセルを意味し、ゲートはメモリセルの選択ゲートとしてのコントロールゲートを意味する。同図において負電圧方式の消去はコントロー

10

20

30

40

50

ルゲートに例えば -10V のような負電圧を印加することによって消去に必要な高電界を形成する。同図に例示される電圧条件から明らかなように、正電圧方式の消去にあつては少なくともソースが共通接続されたメモリセルに対して一括消去を行うことができる。従つて図12の構成において、ソース線SL1、SL2が接続されていれば、4個のメモリセルQ1乃至Q4は一括消去可能にされる。この場合、同一ソース線につながるメモリビットの数を定めることによりメモリブロックのサイズを任意に設定することができる。ソース線分割方式の場合には最小の一括消去単位とされるメモリブロックはデータ線一本分となる。一方、負電圧方式の消去にあつては少なくともコントロールゲートが共通接続されたメモリセルに対して一括消去を行うことができる。このようなフラッシュメモリをマイクロプログラムメモリとして備えてプロセッサ102が構成される。

【0025】以上、代表的にプロセッサ102について説明したが、他のプロセッサ103及び104や、マスタCPU100、さらにはI/Oプロセッサ106～108についても、上記プロセッサ102と同様の構成のものを適用することができる。尚、マスタCPU100やデータ処理用のプロセッサ102～104にはローカルメモリが具備されるが、I/Oプロセッサにおいてはそれが不要である場合には、特に設ける必要はない。

【0026】図3にはプログラマブルスイッチアレイ105の構成例が示される。

【0027】特に制限されないが、入出力線 X_i ($i=1, 2, 3$)、 Y_i ($i=1, 2, 3$)の交差点には、スイッチ素子としてのnチャンネル型MOSトランジスタ T_{ij} ($T_{11}, T_{12}, T_{13}, T_{21}, T_{22}, T_{23}, T_{31}, T_{32}, T_{33}$)が配置され、この複数のMOSトランジスタのゲート電極には、不揮発性のメモリセル M_{ij} ($M_{11}, M_{12}, M_{13}, M_{21}, M_{22}, M_{23}, M_{31}, M_{32}, M_{33}$)が結合され、この不揮発性メモリセル M_{ij} の出力論理レベルに応じて、それに対応するMOSトランジスタ T_{ij} の状態が決定される。すなわち、メモリセル M_{ij} の出力がハイレベルの場合には、MOSトランジスタ T_{ij} がオン状態とされ、対応する入出力線 X_i, Y_i が結合されるが、それとは逆に、メモリセル M_{ij} の出力がローレベルの場合には、MOSトランジスタ T_{ij} がオフ状態とされるので、対応する入出力線 X_i, Y_i は切り離される。特に制限されないが、スイッチアレイ入出力 X_i (302)がI/Oプロセッサ106～108に、また、スイッチアレイ入出力 Y_i (303)がデータ処理用のプロセッサ102～104に、それぞれ結合され、上記スイッチの状態によって、データ処理用のプロセッサ102～104と、I/Oプロセッサ106～108との結合関係が決定される。そして、上記メモリセル M_{ij} の記憶内容を書換えることによって、それらの結合

関係の変更が可能とされる。上記メモリセル M_{ij} にはアドレス線 A_i ($i=1, 2, 3$)、及びデータ線 D_i ($i=1, 2, 3$)が結合されており、このアドレス線 A_i 、及びデータ線 D_i を使用することにより、所望のメモリセル M_{ij} へのデータ書込みが可能とされる。

【0028】図4には上記メモリセル M_{ij} の構成例が示される。

【0029】メモリセルM1は、特に制限されないが、フラッシュメモリセルとされ、このメモリセルM1に、nチャンネル型MOSトランジスタN1、及びpチャンネル型MOSトランジスタP1が結合され、さらに定電流源として機能するpチャンネル型MOSトランジスタP2を介して電源電圧 V_{dd} が供給される。上記nチャンネル型MOSトランジスタN1及びpチャンネル型MOSトランジスタP1のゲート電極には書換えモード信号が入力されるようになっている。また、pチャンネル型MOSトランジスタP1、P2の直列接続箇所は、ノードAとされ、このノードAからインバータINV1、INV2を介して、スイッチ素子としてのnチャンネル型MOSトランジスタ T_{ij} オン/オフのための制御信号が得られるようになっている。尚、インバータINV1の論理出力は、後述するように、部分的な故障の場合の救済のために使用される。

【0030】本実施例回路の通常動作状態においては、書換えモード信号はローレベルにネゲートされている。この状態においては、nチャンネル型MOSトランジスタN1がオフ状態、pチャンネル型MOSトランジスタP1がオン状態となっている。そして、アドレス線 A_i の電位は、特に制限されないが、電源電圧 V_{dd} に等しくなっている。従つて、ノードAの論理状態は、メモリセルM1が消去状態（しきい値電圧が低い状態）のときは、ローレベルとなり、このとき、インバータINV2の出力端子の論理レベルもローレベルとなる。インバータINV2の出力がローレベルの場合、それに結合されたスイッチ素子としてのnチャンネル型MOSトランジスタ T_{ij} (図3参照)はオフ状態とされる。上記の場合とは逆に、メモリセルM1が書込み状態（しきい値電圧が高い状態）にあるとき、ノードAの電位がハイレベルとなり、インバータINV2の出力論理がハイレベルとされるので、それに対応するスイッチ素子としてのnチャンネル型MOSトランジスタ T_{ij} がオン状態とされる。

【0031】上記メモリセルM1への書込みを行う場合には、書換えモード信号をハイレベルにアサートし、nチャンネル型MOSトランジスタN1をオン状態、pチャンネル型MOSトランジスタP1をオフ状態とする。この状態で、アドレス線 A_i 、及びデータ線 D_i に高電圧を印加することによって、対応するメモリセルM1への書込み状態が形成される。また、メモリセルM1の記憶内容の消去は、アドレス線 A_i をローレベルにして、

メモリスルのソース電極に高電圧を印加することによって可能とされる。

【0032】図5には、複数のプロセッサの内部バスによる結合関係が示される。

【0033】内部バス505が設けられ、この内部バス505によって、プロセッサ102～104、I/Oプロセッサ106～108、及びプログラマブルスイッチアレイ105、109、さらに、それに含まれる不揮発性メモリへの書込みに必要なデータをLSI外部から取込むためのシリアルインタフェース501が結合される。そして、内部バス505は、スイッチ503を介してマスタCPU100に、また、スイッチ504を介して外部端子502に結合されている。

【0034】プロセッサ102～104、I/Oプロセッサ106～109、及びプログラマブルスイッチアレイ105、109のそれぞれに含まれる不揮発性メモリは、マスタCPU100によって管理されるアドレス空間に配置されることによって、マスタCPU100からアクセス可能とされる。すなわち、マスタCPU100の制御により、上記不揮発性メモリへの情報書込み、及びその消去が可能とされる。この不揮発性メモリへの書込みに用いられるデータは、シリアルインタフェース502を介して取込まれる。また、マスタCPU100を使用しないで、上記不揮発性メモリへの書込みを行うこともできる。すなわち、スイッチ504がオンされることによって、書換えアドレス、及びデータ入出力のための外部端子502が、内部バス505に結合されるので、その状態で、書込みアドレス、及び書込み用データを外部から内部バス505へ伝達することができ、そのようにして、不揮発性メモリへのデータ書込みが可能とされる。このとき、スイッチ503がオフされることによって、マスタCPU100が内部バス505から切放される。

【0035】上記実施例によれば以下の作用効果が得られる。

【0036】(1) 電氣的に情報の書換え可能な不揮発性メモリをマイクロプログラムメモリ201として備えているので、LSI完成後において、例えば当該LSIをシステムに搭載した状態で、当該マイクロプログラムメモリ201の記憶内容の変更が可能であり、そのようなマイクロプログラムの変更により、当該プロセッサによって実現される処理機能の変更が可能とされ、また、複数のプロセッサ同士をプログラマブルに相互接続するための手段としてのプログラマブルスイッチアレイ105や、I/Oプロセッサ106～108と入出力回路111～119とをプログラマブルに相互接続するためのプログラマブルスイッチアレイ109を有することにより、LSI完成後に複数のプロセッサ同士の結合関係の変更が可能とされるので、処理手順や処理結果のやり取りの経路変更が可能とされる。それによりLSIの汎用

性の向上が達成される。

【0037】(2) 上記(1)の作用効果により、マイクロコントローラとしての同一のLSIの大量生産が可能とされるので、そのようなLSIの製造コストの低下を図ることができる。

【0038】(3) 上記(1)の作用効果により、本実施例マイクロコントローラLSIがシステムに組み込まれた状態で、機能の追加等のマイクロプログラムのバージョンアップや特性のチューニングが可能とされる。

10 【0039】(4) 一つの半導体基板に形成されることにより、各機能ブロック間の配線の長さが短くなり、そこでの信号伝達速度が早いので、例えば、同一機能を有するマイクロコントローラを複数のLSIによってボード上で形成するのに比べて、高速処理が可能とされる。

【0040】(5) 不揮発性メモリとしてフラッシュメモリを適用しており、このフラッシュメモリは、電氣的な消去・書込みによって情報を書換え可能であって、EPROMと同様にそのメモリスルを1個のトランジスタで構成することができ、メモリスルの全てを一括して、
20 またはメモリスルのブロックを一括して電氣的に消去する機能を持つ。従って、フラッシュメモリは、システムに実装された状態でその記憶情報を書換えることができると共に、その一括消去機能により書換え時間の短縮を図ることができ、さらに、チップ占有面積の低減にも寄与する。

【0041】図6には他の実施例が示される。

【0042】図6において、マスタCPU601は、他のプロセッサ102～104と同様に、共有メモリ101とプログラマブルスイッチアレイ105に結合される。このマスタCPU601は、図1におけるマスタCPU100に相当するものであるが、本実施例では、マスタCPU601として、他のプロセッサ102～104と等しいプロセッサが適用される。マスタCPU601の基本的な機能は上記実施例の場合と同様である。

【0043】このように構成しても上記実施例と同様の効果を得ることができ、また、本実施例においては、データ処理用としてのプロセッサが全て等しくなるので、チップレイアウト上の規則性が向上され、LSIの設計が容易となる。また、各プロセッサへの機能割付けの柔軟性が向上する。

【0044】図7には他の実施例が示される。

【0045】複数のプロセッサを1チップ化した場合において、そのうちの 하나가故障したために、当該LSIが使用不可能になると、経済的な負担が大きい。そこで、本実施例では、プロセッサ102～104のいずれかが故障した場合の代替のための予備プロセッサ701が設けられ、I/Oプロセッサ106～108のいずれかが故障した場合の代替のための予備I/Oプロセッサ702が設けられている。予備プロセッサ701は、他のプロセッサ102～104と同様に、共有メモリ10
50

1とプログラマブルスイッチアレイ105に結合され、また、予備I/Oプロセッサ702は、他のI/Oプロセッサ106～108と同様に、プログラマブルスイッチアレイ105、及び109に結合されている。本実施例において、マスタCPU100は、プロセッサ102～104、I/Oプロセッサ106～108の故障発生を検出する第1手段と、この故障検出結果に基づいてプログラマブルスイッチアレイ105や109にそれぞれ含まれる不揮発性メモリの記憶情報を書換えることにより、故障に係るプロセッサの機能を予備プロセッサ701又は702に代行させるための第2手段とを含む。上記第1手段による故障検出は、マスタCPU100の制御下で、各プロセッサ102～104、及び106～108に、所定の動作試験用プログラムを実行させ、その実行状態若しくは実行結果をマスタCPU100でモニタすることによって可能とされる。そのようにして、プロセッサ故障が検出された場合には、マスタCPU100によってプログラマブルスイッチアレイ105、109の接続情報が書換えられることによって、また、故障に係るプロセッサで本来実行されるはずであったマイクロプログラムが、予備プロセッサ701又は702へ移されることによって、プロセッサの置換えが可能となる。

【0046】このように、本実施例においては、上記実施例と同様の効果に加えて、LSI全体としては、実際には故障プロセッサを含むにもかかわらず、上記した自己修復機能により、故障プロセッサを含まない場合と同等の機能を発揮させることができる、という特有の効果をも有する。

【0047】図8には他の実施例として、プログラマブルスイッチアレイ105、109の構成例が示される。

【0048】図8に示されるプログラマブルスイッチアレイでは、上記実施例におけるプログラマブルスイッチアレイ（図3参照）と比較して明らかなように、故障修復のための予備領域801が設けられ、プログラマブルスイッチアレイの部分的な故障に対処することができるようになっている。図8に示される構成では、救済用素子として、nチャンネル型MOSトランジスタTs1～Ts3、nチャンネル型MOSトランジスタTy1～Ty3、Ms1～Ms3、メモリセルM1s～M3sが設けられている。故障のない状態では、nチャンネル型MOSトランジスタTs1～Ts3及びTy1～Ty3はオフ状態、nチャンネル型MOSトランジスタTy1～Ty3はオン状態となっている。この状態は、図3に示される回路と等価とされる。

【0049】それに対して、例えばメモリセルM11が故障し、それがマスタCPU100によって検出された場合には、それが以下のように救済される。

【0050】まず、メモリセルM11～M13の記憶内

容が、メモリセルMs1～Ms3に移される。しかる後に、データDsを介してのメモリセルM1sへの情報書込みにより、nチャンネル型MOSトランジスタTs1がオン状態、nチャンネル型MOSトランジスタTy1がオフ状態とされる。ここで、nチャンネル型MOSトランジスタTs1は、図4に示されるインバータINV2の論理出力により制御され、また、nチャンネル型MOSトランジスタTy1は、図4に示されるインバータINV1の論理出力により制御される。そのようにして故障領域が予備素子によって置換えられ、故障を生じない場合と同一の動作が可能とされる。

【0051】このように、故障修復のための予備領域801を有してマイクロコントローラを構成した場合にも、上記実施例と同様の効果が得られ、さらに、故障修復のための予備領域801が設けられることにより、部分的な故障が生じた場合でも、それを回避することができる、という効果が得られる。

【0052】図9には他の実施例が示される。

【0053】図9に示される実施例では、各プロセッサが複数のプロセッサエレメントの組合せによって形成されている。特に制限されないが、プロセッサ102は2個のプロセッサエレメントPEにより形成され、プロセッサ103は3個のプロセッサエレメントPEにより形成され、プロセッサ104は4個のプロセッサエレメントPEによって形成される。また、I/Oプロセッサ106は3個のプロセッサエレメントによって形成され、I/Oプロセッサ107は4個のプロセッサエレメントによって形成され、I/Oプロセッサ108は2個のプロセッサエレメントによって形成される。組合せられるプロセッサエレメントの個数は、プロセッサによって実現される機能によって、適宜に変更される。プロセッサエレメントPEの構成は、基本的に、図2に示されるのと同しく、それに含まれるマイクロプログラムメモリの記憶内容を書換えることによって、種々の機能実現が可能とされる。

【0054】図9に示されるように、各プロセッサが複数のプロセッサエレメントの組合せによって形成されるようにすると、一つのLSIに含まれる全てのプロセッサエレメントPEを互いに等しいものとしてでき、LSI化が容易である。また、プロセッサエレメントの組合せ個数が、実現すべき機能に応じて適宜に変更可能とされるので、無駄がなく、汎用性に優れる。さらに、同一アーキテクチャで、集積度だけが異なる数種類のLSIを用意することにより、小規模システムから大規模システムまで広い範囲に亘って対応可能である。それにより、マイクロコントローラLSIの品種を減らすことができ、大量生産による低価格化が可能とされる。

【0055】図10には各プロセッサに機能を割付けた例が示される。

10

20

30

40

50

【0056】特に制限されないが、プロセッサ102にはファジィ推論機能が割付けられ、プロセッサ103にはニューラルネット処理機能が割付けられ、プロセッサ104にはシーケンス制御機能が割付けられている。また、I/Oプロセッサ106にはパルス出力処理機能が割付けられ、I/Oプロセッサ107にはパルス入力処理機能が割付けられ、I/Oプロセッサ108には通信制御機能が割付けられている。そのようなマイクロコントローラでは、ニューラルネット処理でパターンを認識し、ファジィ制御で、パターンに対応した制御を行うことが可能とされる。例えば、圧延製品品質や操作効率の向上を図るための制御システムの場合、形状制御が重要な役割を果し、その場合に、ニューラルネット処理でパターンを認識し、ファジィ制御で、パターンに対応した制御を行うことが有効とされ、そのような場合に、本実施例が好適とされる。すなわち、入出力回路(I/O4, I/O5, I/O6)を介して制御対象の動作信号が取込まれ、それが、プログラマブルスイッチアレイ105を介してプロセッサ103に入力されると、ニューラルネット処理により、抽象化された特徴量として、共有メモリ101を介してプロセッサ102に入力され、そこでファジィルールが用いられることにより、制御対象に対する命令が発生される。この命令は、プログラマブルスイッチアレイ105、I/Oプロセッサ106、さらにはプログラマブルスイッチアレイ109、入出力回路(I/O1, I/O2, I/O3)を介して外部装置へ出力される。

【0057】以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0058】例えば、図5に示されるように、独立したモジュールとしてシリアルインタフェース501を設けているが、このシリアルインタフェース501の機能をI/Oプロセッサ106～108によって実現するようにしてもよい。

【0059】上記実施例では、不揮発性メモリの記憶内容の書換えを、システムに組込んだ状態でマスターCPU100の制御により行うようにしたが、EPROMライタ等によって、不揮発性メモリの記憶内容の書換えを行うようにしてもよい。

【0060】不揮発性メモリには、フラッシュメモリの他に、電氣的に情報の消去・書込みが可能なEEPROM(エレクトリカル・イレーザブル・アンド・プログラマブル・リード・オンリ・メモリ)、強誘電体の分極現象を利用して情報の記憶を可能とする強誘電体RAM、さらには電池でバックアップされたスタティックRAM等を適用することができる。

【0061】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるマイク

ロコントローラに適用した場合について説明したが、本発明はそれに限定されるものではなく、マルチプロセッサシステムや各種データ処理装置に広く適用することができる。

【0062】本発明は、少なくとも複数のプロセッサを含むことを条件に適用することができる。

【0063】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0064】すなわち、電氣的に情報の書換え可能な不揮発性メモリをマイクロプログラムメモリとして備えることにより、LSI完成後において、プロセッサによって実現される処理機能の変更が可能とされ、さらに、上記複数のプロセッサ同士をプログラマブルに相互接続するための手段を含むことにより、LSI完成後に処理手順や処理結果のやり取りの経路変更が可能とされるので、LSIの汎用性の向上を図ることができる。また、予備プロセッサや、予備素子が設けられている場合において、故障検出結果に基づいて不揮発性メモリの記憶情報を書換えることによって、予備プロセッサや、予備素子に切換えることができ、それによって、部分故障に対する自己修復が可能とされる。

【図面の簡単な説明】

【図1】本発明の一実施例に係るマイクロコントローラの全体的な構成ブロック図である。

【図2】上記マイクロコントローラに含まれるプロセッサの構成ブロック図である。

【図3】上記マイクロコントローラに含まれるプログラマブルスイッチアレイの構成回路図である。

【図4】プログラマブルスイッチアレイに含まれるメモリアレイの詳細な構成回路図である。

【図5】上記マイクロコントローラに含まれる複数のプロセッサ相互の内部バスによる結合関係が示されるブロック図である。

【図6】本発明の他の実施例であるマイクロコントローラの構成ブロック図である。

【図7】本発明の他の実施例であるマイクロコントローラの構成ブロック図である。

【図8】本発明の他の実施例であるマイクロコントローラの構成ブロック図である。

【図9】本発明の他の実施例であるマイクロコントローラの構成ブロック図である。

【図10】上記実施例に含まれるプロセッサへの機能割付け様子が示されるブロック図である。

【図11】フラッシュメモリの原理説明図である。

【図12】フラッシュメモリのメモリセルアレイの構成原理説明図である。

【図13】上記メモリセルに対する消去動作並びに書込み動作のための電圧条件の一例説明図である。

10

20

30

40

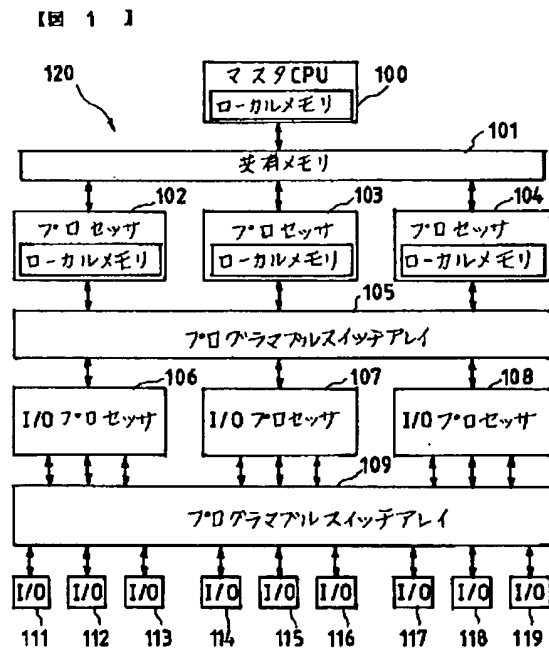
50

【符号の説明】

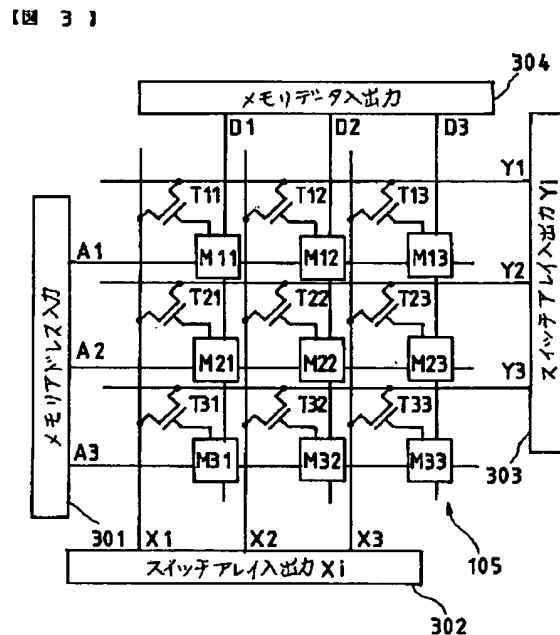
100 マスタCPU
 101 共有メモリ
 102 プロセッサ
 103 プロセッサ
 104 プロセッサ
 105 プログラマブルスイッチアレイ
 106 I/Oプロセッサ
 107 I/Oプロセッサ
 108 I/Oプロセッサ
 109 プログラマブルスイッチアレイ
 111～119 入出力回路
 201 マイクロプログラムメモリ
 202 書込み回路及び読出し回路
 203 書込み用高電圧回路
 204 メモリマップ

205 アドレスデコーダ
 206 マルチプレクサ
 207 マルチプレクサ
 208 読出し回路
 209 マイクロ命令レジスタ
 210 デコーダ
 211 レジスタ及び演算ユニット
 212 ローカルメモリ
 213 命令レジスタ
 10 505 内部バス
 701 予備プロセッサ
 702 予備I/Oプロセッサ
 801 予備領域
 M1 メモリセル
 PE プロセッサエレメント

【図1】

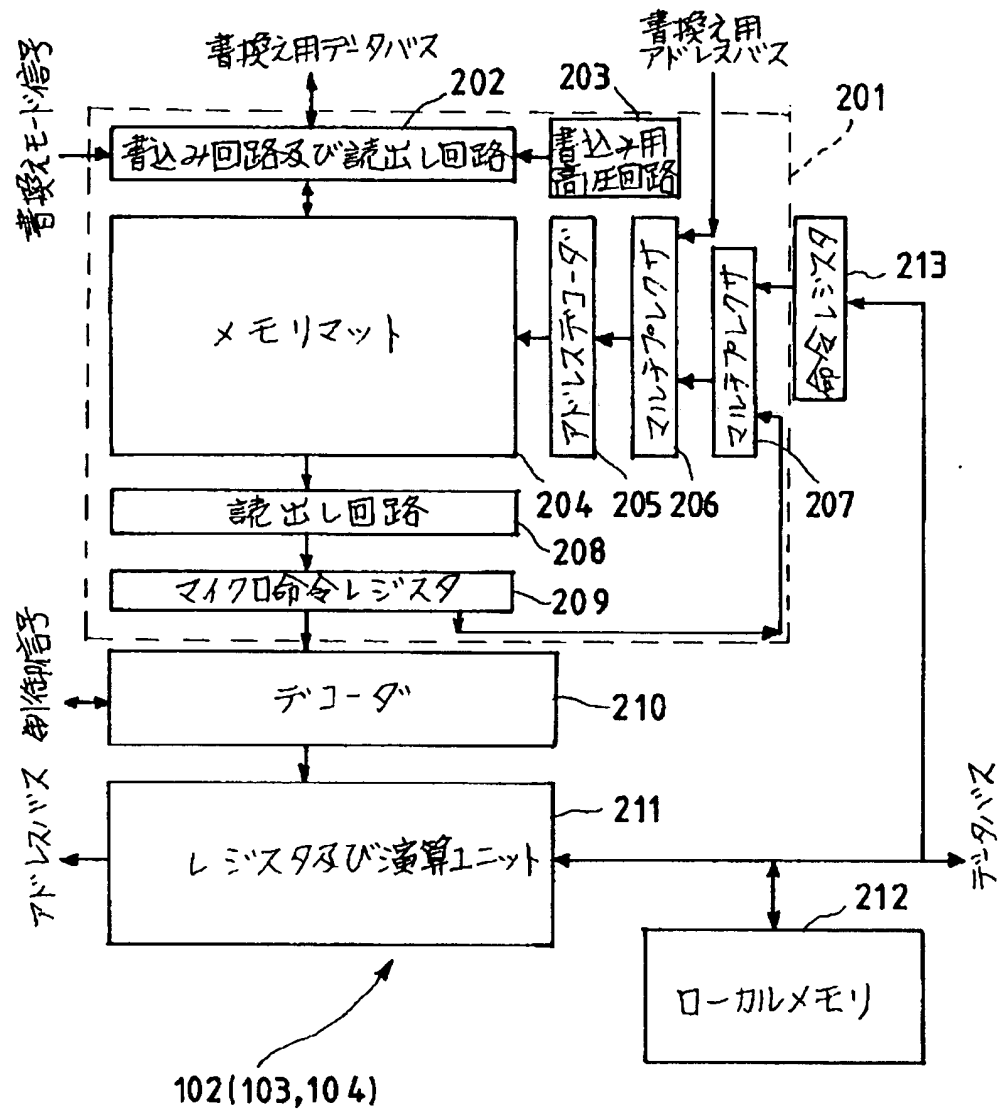


【図3】



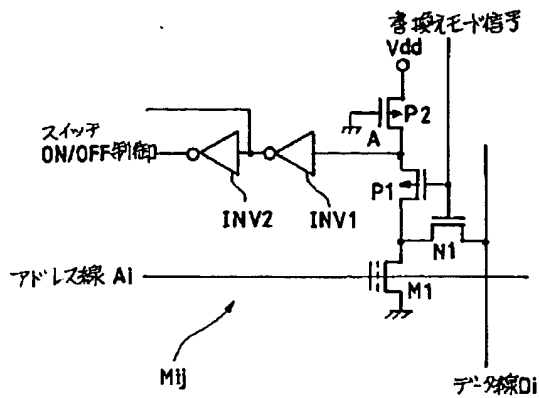
【図2】

【図 2】



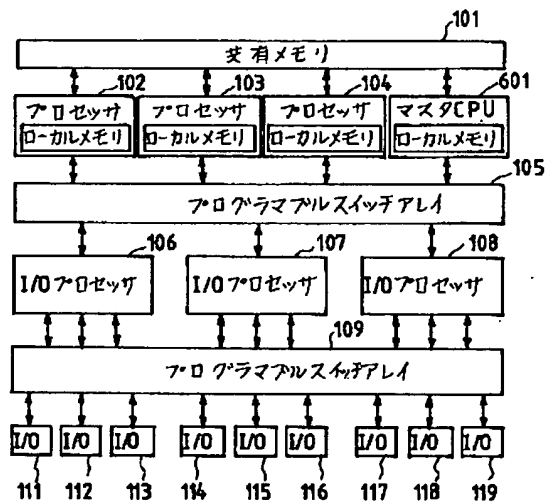
【図 4】

【図 4】



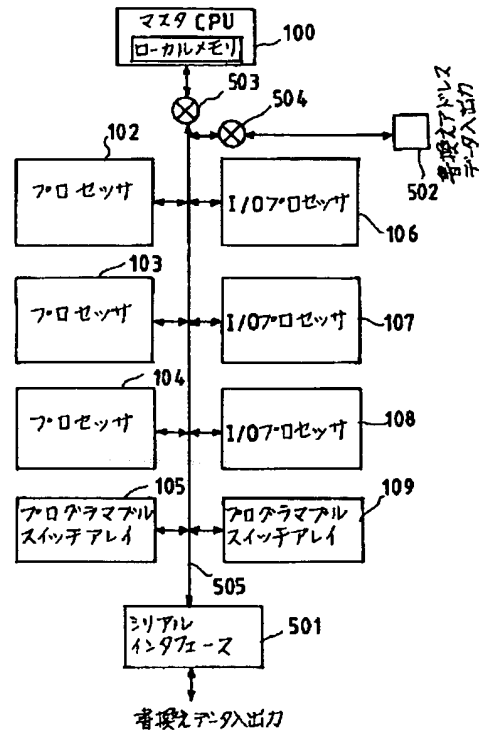
【図 6】

【図 6】



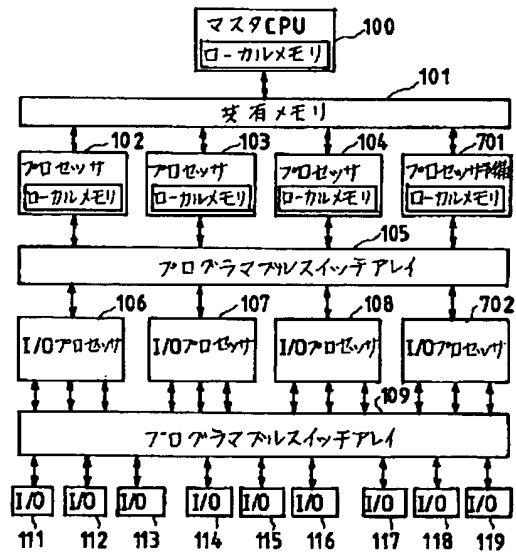
【図 5】

【図 5】



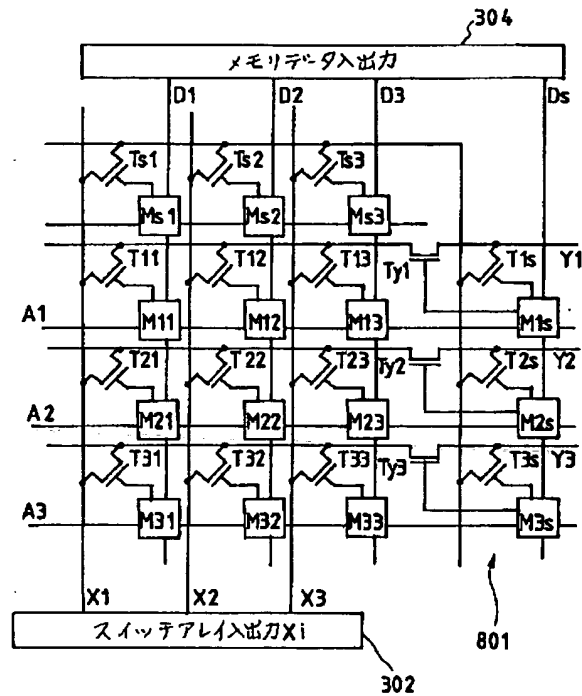
【図 7】

【図 7】



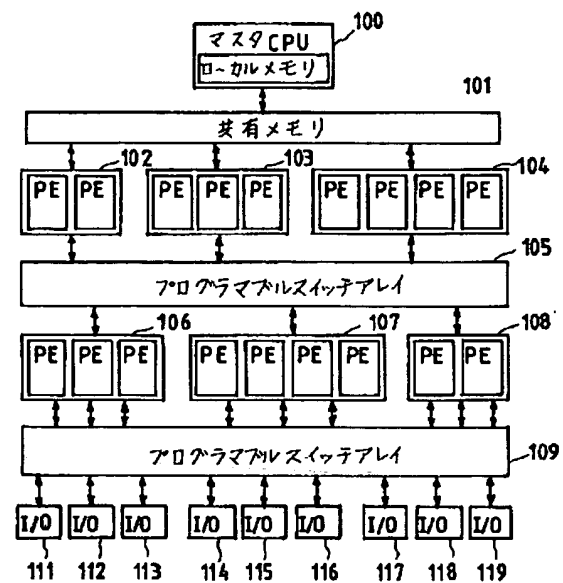
【図 8】

【図 8】



【図 9】

【図 9】

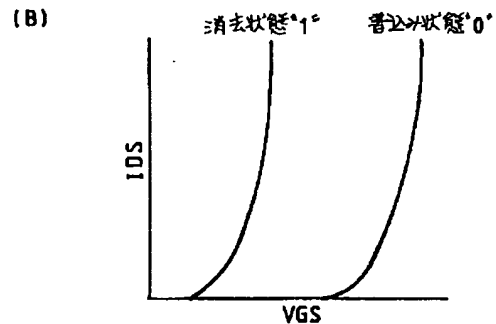
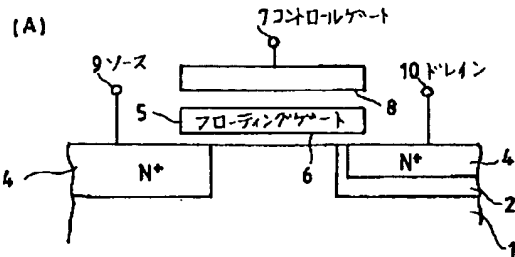
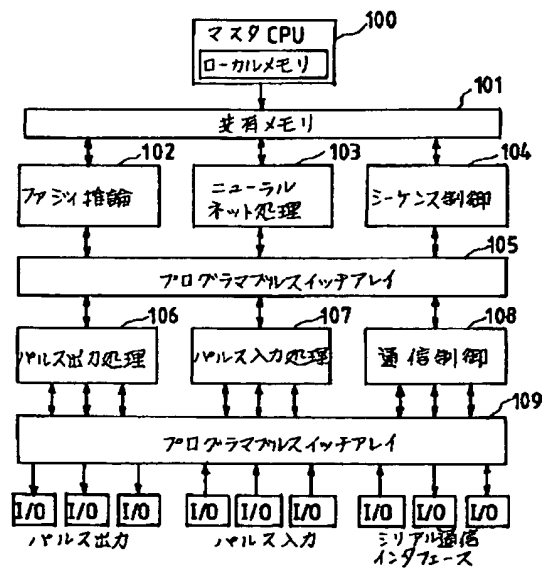


【図 11】

【図 11】

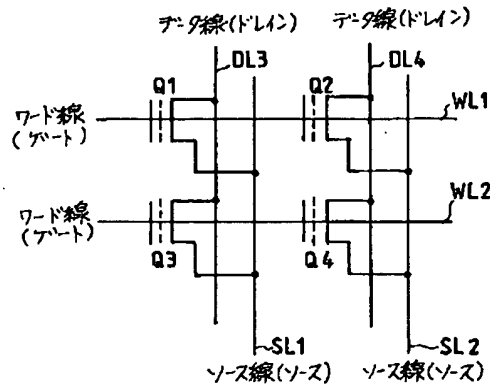
【図 10】

【図 10】



【図 12】

【図 12】



【図 13】

【図 13】

書き込み

メモリ素子	選択/非選択	ソース	ドレイン	ゲート
Q1	選択	0v	6v	12v
Q2	非選択	0v	0v	12v
Q3	非選択	0v	6v	0v
Q4	非選択	0v	0v	0v

消去(正電圧方式)

メモリ素子	選択/非選択	ソース	ドレイン	ゲート
Q1, Q3	選択	12v	0v	0v
Q2, Q4	非選択	0v	0v	0v

消去(負電圧方式)

メモリ素子	選択/非選択	ソース	ドレイン	ゲート
Q1, Q2	選択	5v	0v	10v
Q3, Q4	非選択	5v	0v	0v

フロントページの続き

(51) Int. Cl. ⁵
 G 0 6 F 13/36 5 3 0 A 9072-5B
 13/38 3 4 0 A 8944-5B
 G 1 1 C 16/06
 29/00 3 0 1 B 6866-5L
 H 0 1 L 21/82
 27/04 M 8427-4M
 // G 0 6 F 9/44 3 3 0 W 9193-5B

F I

技術表示箇所

(72) 発明者 渡部 満
 茨城県日立市大みか町七丁目 1 番 1 号 株
 式会社日立製作所日立研究所内
 (72) 発明者 笠原 孝保
 茨城県日立市大みか町七丁目 2 番 1 号 株
 式会社日立製作所エネルギー研究所内

(72) 発明者 諸岡 泰男
 茨城県日立市大みか町七丁目 1 番 1 号 株
 式会社日立製作所日立研究所内
 (72) 発明者 船橋 誠壽
 神奈川県川崎市麻生区王禅寺1099 株式会
 社日立製作所システム開発研究所内